

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-039681

(43)Date of publication of application : 08.02.1990

(51)Int.Cl.

H04N 5/262
H03F 3/50

(21)Application number : 63-188348

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 29.07.1988

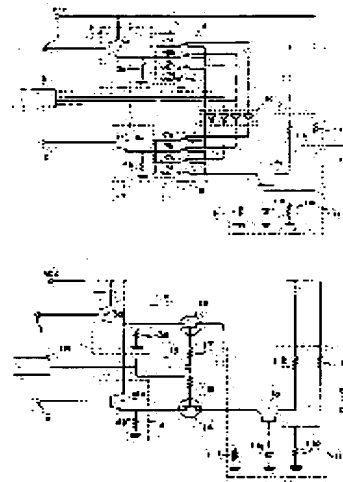
(72)Inventor : YOSHIDA HIDEKAZU

(54) SIGNAL MIXING CIRCUIT

(57)Abstract:

PURPOSE: To make variable a mixing ratio by setting each resistance ratio at the power of 2, switching it by means of binary data, and changing the energized resistance of an FET with the output of a balance controller controlled by means of the output of a controlled voltage generator.

CONSTITUTION: Between an output terminal to be the low output impedance of emitter follower amplifying circuits 3 and 4 where input video signal are inputted, and the input terminal of a base ground amplifying circuit to be the low input impedance, a resistance group 5 and 7 as mixing means, a CMOS switch group 6 and 8, and a binary data generator 9 to switch them are provided. Since each resistance ratio of the resistance group 5 and 7 is set at the power of 2, for the mixed ratio of the two input video signals, 2^n types of combinations can be obtained by a number(n) of the resistances of the resistance group 5 and 7. In addition, as the other mixing means, energized resistances 17 and 18 of FETs 13 and 14 and changes by the output of a balance controller 15 controlled by the output of a controlled voltage generator 16. Thus, the mixing ratio can be changed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平2-39681

⑤ Int. Cl.³H 04 N 5/262
H 03 F 3/50

識別記号

庁内整理番号

8320-5C
6751-5J

⑬ 公開 平成2年(1990)2月8日

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 信号ミックス回路

⑮ 特 願 昭63-188348

⑯ 出 願 昭63(1988)7月29日

⑰ 発 明 者 吉 田 秀 和 埼玉県所沢市花園4丁目2610番地 バイオニア株式会社所
沢工場内

⑱ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

⑲ 代 理 人 弁理士 滝野 秀雄 外1名

明 細 書

1. 発明の名称

信号ミックス回路

2. 特許請求の範囲

(1) 第1の入力ビデオ信号が供給される第1のエミッタホロワ増幅回路と、第2の入力ビデオ信号が供給される第2のエミッタホロワ増幅回路と、前記第1及び第2のエミッタホロワ増幅回路の出力信号をミックスする混合手段と、該混合手段の出力たる混合信号を入力とするベース接地増幅回路とからなる信号ミックス回路であって、前記混合手段として、前記第1のエミッタホロワ増幅回路の出力端と前記ベース接地増幅回路の入力端との間に、第1の抵抗群と、その各々の抵抗の開閉を行う第1のCMOSスイッチ群を接続し、また前記第2のエミッタホロワ増幅回路の出力端と前記ベース接地増幅回路の入力端との間に、第2の抵抗群と、その各々の抵抗の開閉を行う第2のCMOSスイッチ群を接続すると共に、前記第1及び第2のCMOS

Sスイッチ群の各々のスイッチの開閉を行うバイナリーデータを出力するバイナリーデータ発生器と、該バイナリーデータを反転するインバータ群とを備え、前記第1と第2の抵抗群の各々の抵抗の抵抗比を2のべき乗になるように設定し、前記バイナリーデータ発生器が出力する前記バイナリーデータで一方のCMOSスイッチ群の各々のスイッチを開閉すると共に、前記バイナリーデータを前記インバータ群で反転したデータで他方のCMOSスイッチ群の各々のスイッチを開閉することを特徴とする信号ミックス回路。

(2) 第1の入力ビデオ信号が供給される第1のエミッタホロワ増幅回路と、第2の入力ビデオ信号が供給される第2のエミッタホロワ増幅回路と、前記第1及び第2のエミッタホロワ増幅回路の出力信号をミックスする混合手段と、該混合手段の出力たる混合信号を入力とするベース接地増幅回路とからなる信号ミックス回路であって、前記混合手段として、前記第1のエミッ

タホロワ増幅回路の出力端と前記ベース接地増幅回路の入力端との間に接続された第1の接合型電界効果トランジスタと、前記第2のエミッタホロワ増幅回路の出力端と前記ベース接地増幅回路の入力端との間に接続された第2の接合型電界効果トランジスタと、直流電圧を発生する制御電圧発生器と、該制御電圧発生器の出力により、前記第1及び第2の接合型電界効果トランジスタのゲートに供給する電圧のバランス量を設定あるいは可変できるバランスコントローラとを備え、前記第1及び第2の接合型電界効果トランジスタのゲート電位を設定あるいは可変することにより、前記接合型電界効果トランジスタを可変抵抗として用い、前記第1の接合型電界効果トランジスタのゲート電位と前記第2の接合型電界効果トランジスタのゲート電位の和を一定としたことを特徴とする信号ミックス回路。

- (3) 第1及び第2のエミッタホロワ増幅回路の入力端とベース接地増幅回路のベース端子間にク

ランプスイッチを各々設け、第1の入力ビデオ信号及び第2の入力ビデオ信号を前記ベース接地増幅回路のバイアス電位にクランプするようにした請求項1又は2記載の信号ミックス回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は2つのビデオ信号を効率よく混合するためのミックス回路に関する。

〔従来の技術〕

従来におけるビデオ信号ミックス回路としては、第6図～第8図に示すものが提案されている。第6図において、1は第1の入力ビデオ信号の入力端子、2は第2の入力ビデオ信号の入力端子、23は第1及び第2の入力ビデオ信号のミックス比を決定する可変抵抗器、12はミックスした後のビデオ信号の出力端子である。

第7図はVCA（電圧制御増幅器）を利用した場合で、1, 2, 12は第6図と同一部分であるので説明は省略する。24は第1の入力ビデオ信

号を入力とするVCA、25は第2の入力ビデオ信号を入力とするVCA、26は該VCA 24, 25を制御するバランスコントローラ、27は該バランスコントローラ26を制御する制御電圧発生器である。28, 29は混合信号の取り出し用抵抗である。

第8図は乗算型D/AコンバータICを利用した場合で、1, 2, 12は第6図と同一部分であるので説明は省略する。30は第1の入力ビデオ信号を入力とする乗算型D/AコンバータIC、31は第2の入力ビデオ信号を入力とする乗算型D/AコンバータIC、32は前記乗算型D/AコンバータIC 30の出力電流を流し電圧出力に変換するための負荷抵抗、33は前記乗算型D/AコンバータIC 31の出力電流を流し電圧出力に変換するための負荷抵抗、34, 35は混合信号取り出し用の抵抗である。

第9図に前記乗算型D/AコンバータIC 30, 31のブロック図を示し、36は第1, 第2の入力ビデオ信号を入力する入力端子 $V_{ref}(+)$ 、

37はバイナリーデータ入力端子群、38は該バイナリーデータ入力端子群37の入力データによって I_{out} 側か $\overline{I_{out}}$ 側に切り換えるスイッチ群、39は前記入力端子 $V_{ref}(+)$ 36に入力した第1又は第2の入力ビデオ信号の減衰量、即ちミックス比を決める抵抗群、40は電流出力端子 I_{out} 及び $\overline{I_{out}}$ である。

以上の構成において、第6図の可変抵抗器を利用した場合は、ミックスする第1, 第2の入力ビデオ信号は可変抵抗器23に入力されて該可変抵抗器23の回転位置を手で制御することによりミックス比が決定され、出力ビデオ信号として出力端子12より出力される。

第7図のVCAを利用した場合は、ミックスする第1, 第2の入力ビデオ信号はそれぞれVCA 24, 25に輸入され、該VCA 24, 25の制御は制御電圧発生器27の出力でバランスコントローラ26のバランス量を制御し、該バランスコントローラ26の出力により行われる。即ち、制御電圧発生器27の出力によってVCA 24, 2

5は制御され、第1、第2の入力ビデオ信号の減衰量、即ちミックス比が決定され、ミックスされた出力ビデオ信号が出力端子12より出力される。

第8図の乗算型D/AコンバータICを利用した場合は、第9図を参照しながら説明する。第1、第2の入力ビデオ信号はそれぞれ乗算型D/AコンバータIC30、31の入力端子 $V_{ref}(+)$ 36に入力され、バイナリーデータ入力端子群37の入力データによってスイッチ群38の切り換えを行い、抵抗群39でミックス比を決定し、出力端子40より電流出力として出力される。この出力電流をそれぞれ負荷抵抗32、33にて電圧出力として検出し、出力ビデオ信号として出力端子12に出力する。

〔発明が解決しようとする課題〕

従来の信号ミックス回路は以上のように構成されているので、ミックス手段として可変抵抗器を利用した場合は、必要なミックス比を得るためには可変抵抗器を手動操作しなければならず、電子

数が少なく、コストの低減と省スペース化が計れる信号ミックス回路を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明における信号ミックス回路は、第1の入力ビデオ信号が供給される第1のエミッタホロワ増幅回路と、第2の入力ビデオ信号が供給される第2のエミッタホロワ増幅回路と、前記第1及び第2のエミッタホロワ増幅回路の出力信号をミックスする混合手段と、該混合手段の出力たる混合信号を入力とするベース接地増幅回路とからなる信号ミックス回路であって、前記混合手段として、前記第1のエミッタホロワ増幅回路の出力端と前記ベース接地増幅回路の入力端との間に、第1の抵抗群と、その各々の抵抗の開閉を行う第1のCMOSスイッチ群を接続し、また前記第2のエミッタホロワ増幅回路の出力端と前記ベース接地増幅回路の入力端との間に、第2の抵抗群と、その各々の抵抗の開閉を行う第2のCMOSスイッチ群を接続すると共に、

制御化の方向とは相反するものである。

又、VCAを利用した場合は、VCA自身のコストが高く、更に乗算型D/AコンバータICを利用した場合は、入力の $V_{ref}(+)$ は正極性であるため入力ビデオ信号の最低電位を0(V)以上にする工夫が必要となり、かつビデオ帯域まで使用できる乗算型D/AコンバータICは極めて少なく、しかも非常に高価であるという問題点があった。

本発明は、従来技術の有するこのような問題点に鑑みてなされたものであり、その目的とするところは、2つの入力ビデオ信号をミックスする場合に、CMOSスイッチをバイナリーデータで制御することにより、又は接合型電界効果トランジスタ(以下、単にFETという)のゲート電位を制御し、FETを可変抵抗器として用いることにより、容易にそのミックス比を設定あるいは可変することができ、又クランプ回路を付加することにより忠実なるミックスを行い、安定な出力ビデオ信号を得ることができる、構成が簡単で部品点

前記第1及び第2のCMOSスイッチ群の各々のスイッチの開閉を行うバイナリーデータを出力するバイナリーデータ発生器と、該バイナリーデータを反転するインバータ群とを備え、前記第1と第2の抵抗群の各々の抵抗の抵抗比を2のべき乗になるように設定し、前記バイナリーデータ発生器が出力する前記バイナリーデータで一方のCMOSスイッチ群の各々のスイッチを開閉すると共に、前記バイナリーデータを前記インバータ群で反転したデータで他方のCMOSスイッチ群の各々のスイッチを開閉するように構成したこと、更には別の混合手段として前記第1のエミッタホロワ増幅回路の出力端と前記ベース接地増幅回路の入力端との間に接続された第1の接合型電界効果トランジスタと、前記第2のエミッタホロワ増幅回路の出力端と前記ベース接地増幅回路の入力端との間に接続された第2の接合型電界効果トランジスタと、直流電圧を発生する制御電圧発生器と、該制御電圧発生器の出力により、前記第1及び第2の接合型電界効果トランジスタのゲートに供給

する電圧のバランス量を設定あるいは可変できるバランスコントローラとを備え、前記第1及び第2の接合型電界効果トランジスタのゲート電位を設定あるいは可変することにより、前記接合型電界効果トランジスタを可変抵抗として用い、前記第1の接合型電界効果トランジスタのゲート電位と前記第2の接合型電界効果トランジスタのゲート電位の和を一定となるように構成したことを特徴とするものである。又、これらの回路に第1及び第2のエミッタホロワ増幅回路の入力端とベース接地増幅回路のベース端子間にクランプスイッチを各々設け、第1の入力ビデオ信号及び第2の入力ビデオ信号を前記ベース接地増幅回路のバイアス電位にクランプするように構成したことにより一層すぐれた効果を発揮する。

〔作用〕

このように構成された本発明の信号ミックス回路において、入力ビデオ信号を入力されるエミッタホロワ増幅回路の低出力インピーダンスである

出力端と、低入力インピーダンスであるベース接地増幅回路の入力端との間に、混合手段としての抵抗群とCMOSスイッチ群とこれらを切り換えるバイナリーデータ発生器とが設けられ、抵抗群の各抵抗比が2のべき乗に設定してあるため、2つの入力ビデオ信号のミックス比は抵抗群の抵抗の数(n)により 2^n 個の組み合わせが得られる。

又、他の混合手段として、FETの導通抵抗を制御電圧発生器の出力によって制御したバランスコントローラの出力で変化させ、ミックス比を変えることができる。

更に、入力ビデオ信号が入力される高入力インピーダンスのエミッタホロワ増幅回路の入力端にてクランプ回路を構成し、出力回路たるベース接地増幅回路のバイアス電位にクランプしたことにより、ミックスが忠実に行われ、安定な出力ビデオ信号が得られる。

〔実施例〕

本発明の実施例を図面を用いて説明する。第1

図は第1の実施例を示し、1は第1の入力ビデオ信号の入力端子、2は第2の入力ビデオ信号の入力端子、3、4は第1、第2の入力ビデオ信号を入力とする第1、第2のエミッタホロワ増幅回路で3a、4aはトランジスタ、3b、4bはエミッタ抵抗である。5、7はミックス比を決定する抵抗群で、5a、5b、5c、5d及び7a、7b、7c、7dの比は1:2:4:8に構成されている。6、8は抵抗群5、7を切り換え第1、第2のCMOSスイッチ群、9は該第1、第2のCMOSスイッチ群6、8を制御(ON/OFF)する4bitのバイナリーデータを出力するバイナリーデータ発生器である。

10は該バイナリーデータ発生器9の出力したバイナリーデータを反転するインバート群、11はミックスされた信号を低入力インピーダンスで受けるためのベース接地増幅回路で、11aはトランジスタ、11bはコレクタ負荷抵抗器、11c、11dはベースバイアス抵抗器、11eは交流バイパスコンデンサ、11fはエミッタ抵抗で

ある。12はミックスされた出力ビデオ信号の出力端子である。

上記構成において、第1、第2の入力ビデオ信号は、それぞれ高入力インピーダンスの第1、第2のエミッタホロワ増幅回路3、4に入力されたのち、低インピーダンスに変換され、第1、第2の抵抗群5、7を通過して第1、第2のCMOSスイッチ群6、8に入力される。

第1のCMOSスイッチ群6は、バイナリーデータ発生器9から出力される4bitのバイナリーデータによって制御(ON/OFF)され、又第2のCMOSスイッチ群8は、前記バイナリーデータ発生器9から出力されたバイナリーデータを、インバート群10で反転させたデータによって制御される。

今、第1、第2のCMOSスイッチ6、8のON抵抗も含めて、抵抗5a=抵抗7a=R、抵抗5b=抵抗7b=2R、抵抗5c=抵抗7c=4R、抵抗5d=抵抗7d=8Rと設定し、4bitバイナリーデータによって16段階にステップ毎

にミックス比を決定できる。例えば、 $0/15:15/15 \rightarrow 1/15:14/15 \rightarrow \dots \rightarrow 7/15:8/15 \rightarrow 8/15:7/15 \rightarrow \dots \rightarrow 14/15:1/15 \rightarrow 15/15:0/15$ と設定できる。

第2図は第2の実施例を示し、第1図と同一部分には同一符号を付して詳細な説明を省略する。第2図において、第1図と異なる点は別の混合手段を用いていることであり、その混合手段につき構成を説明する。

13, 14は、それぞれ第1, 第2のエミッタホロワ増幅回路3, 4の出力を入力する第1, 第2のFET(接合型電界効果トランジスタ)、15は該第1, 第2のFET 13, 14のゲート電位を制御するバランスコントローラ、16は該バランスコントローラ15を制御する制御電圧発生器であり、低入力インピーダンスのベース接地増幅回路11に入力されたのち、出力端子12へ出力ビデオ信号として出力される。

以上の構成において、第3図を参照してその動作を説明する。第1, 第2の入力ビデオ信号は、

それぞれ高入力インピーダンスの第1, 第2のエミッタホロワ増幅回路3, 4に入力されたのち低インピーダンスに変換されて出力され、第1, 第2のFET 13, 14のドレインに入力される。該第1, 第2のFET 13, 14のソース・ゲート間電圧を、制御電圧発生器16の出力によって制御したバランスコントローラ15の出力で設定あるいは可変し、第1, 第2のFET 13, 14を可変抵抗として使用することによりミックス動作を行う。

バランスコントローラ15でバランスの関係を(FET 13のソース・ゲート間電圧) + (FET 14のソース・ゲート間電圧) = V_a に保つ。但し、 V_a はFETの特性のバランスも考慮し、ある程度の余裕をもってピンチオフ電圧より低い値で負の定数に保って、制御電圧発生器16の出力を、第1, 第2のFET 13, 14の可変抵抗としての可動範囲で設定あるいは可変する。例えば、第3図で、実線A, Bは第1, 第2のFET 13, 14が共に全く同じ特性である場合で、第

1のFET 13のソース・ゲート間電圧を(v)とすると、第2のFET 14のソース・ゲート間電圧は($V_a - v$)となり、この時の第1の入力ビデオ信号と第2の入力ビデオ信号のミックス比は($R_a : R_b$)となる。

又、FETの特性のバラツキにより、第2のFET 14の特性が破線B₁のように傾きが実線Bと比べて大きい場合、前記ミックス比は($R_a : R_{b1}$)となり、又破線B₂のように傾きが実線Bと比べて小さい場合、前記ミックス比は($R_a : R_{b2}$)となる。即ち、第1のFET 13のソース・ゲート間電圧を(v)、第2のFET 14のソース・ゲート間電圧を($V_a - v$)となるように設定しても、FETの特性のバラツキによりミックス比が変わってしまう。しかし、第3図に示すように、FETの(ソース・ゲート間電圧)対(ソース・ドレイン間抵抗)特性は連続で非常になめらかなカーブになっているので、ミックス比の変化も連続で非常になめらかなり余り問題とならない。そして、第1, 第2のFET 13,

14のソース出力、即ちミックスされた後のビデオ信号は、低入力インピーダンスのベース接地増幅回路11に入力され、増幅されたのち、出力ビデオ信号として出力端子12より出力される。

次に第3の実施例を示す。第1図及び第2図の信号ミックス回路においては、入力ビデオ信号の直流分がミックス動作において出力ビデオ信号と関係し、又電源電圧、各部の直流バイアス電位及び温度変化による電圧ドリフト等による変化に対しても出力電圧レベルが変動する。このため、ミックスを忠実にを行い、安定な出力ビデオ信号を得るための実施例を第4図及び第5図に示す。

第1図及び第2図と同一部分には同一符号を付して詳細な説明は省略する。第4図及び第5図において、第1図及び第2図と異なる点は、第1, 第2のエミッタホロワ増幅回路3, 4の入力端にクランプ回路を構成したことにある。19, 20は、第1, 第2の入力ビデオ信号を第1, 第2の高入力インピーダンスのエミッタホロワ増幅回路3, 4にカップリングするためのコンデンサ、2

1, 22はクランプ用スイッチであり、それぞれエミッタホロワ増幅回路3, 4のトランジスタ3a, 4aのベース端子と、ベース接地増幅回路11のトランジスタ11aのベース端子間に設けられている。

以上の構成において、第1, 第2の入力ビデオ信号は、それぞれコンデンサ19, 20によりコンデンサカップリングされ、高入力インピーダンスの第1, 第2のエミッタホロワ増幅回路3, 4に供給される。コンデンサ19, 20でコンデンサカップリングされた信号は、それぞれ水平帰線消去期間(バックボーチ)において発生させたクランプパルスで前記クランプ用スイッチ21, 22をONし、ベース接地増幅回路のバイアス電位にクランプされる。このため、第1, 第2の入力ビデオ信号は共に同じ電位に固定され、第1, 第2のエミッタホロワ増幅回路3, 4の出力端とベース接地増幅回路11の入力端、即ち混合手段の両端間においては電位差が零となる。

(発明の効果)

以上説明した如く本発明においては、入力ビデオ信号を入力されるエミッタホロワ増幅回路の出力端とベース接地増幅回路の入力端との間に、混合手段として抵抗群とCMOSスイッチ群とこれらを切り換えるバイナリーデータ発生器とを設け、抵抗群の各抵抗比を2のべき乗に設定してバイナリーデータにより切り換えるようにしたものであり、又他の混合手段として、FETの導通抵抗を制御電圧発生器の出力によって制御したバランスコントローラの出力で変化させるようにしたものであるから、容易にそのミックス比を設定あるいは変更することができる。

又、入力ビデオ信号が入力される高入力インピーダンスのエミッタホロワ増幅回路の入力端にてクランプ回路を構成し、出力回路たるベース接地増幅回路のバイアス電位にクランプしたことにより混合手段の両端間において電位差が零となる為、ミックスがより忠実に行われ、安定な出力ビデオ信号を得ることができる。更に、構成が簡単で部

品点数も少ないため、コストの低減と省スペース化が計られる効果も得られる。

4. 図面の簡単な説明

第1図は本発明の信号エミッタ回路の第1の実施例を示す回路図、

第2図は本発明の信号ミックス回路の第2の実施例を示す回路図、

第3図は第2図の回路に開いたFETのソース・ゲート間電圧対ソース・ドレイン間抵抗特性を示すグラフ、

第4図、第5図は本発明の信号ミックス回路の第3の実施例を示す回路図、

第6図～第8図は従来の信号ミックス回路のブロック図、

第9図は第8図の信号ミックス回路に用いられる乗算型D/AコンバータICのブロック図である。

1…第1の入力ビデオ信号の入力端子、2…第2の入力ビデオ信号の入力端子、3…第1のエミッタホロワ増幅回路、4…第2のエミッタホロワ

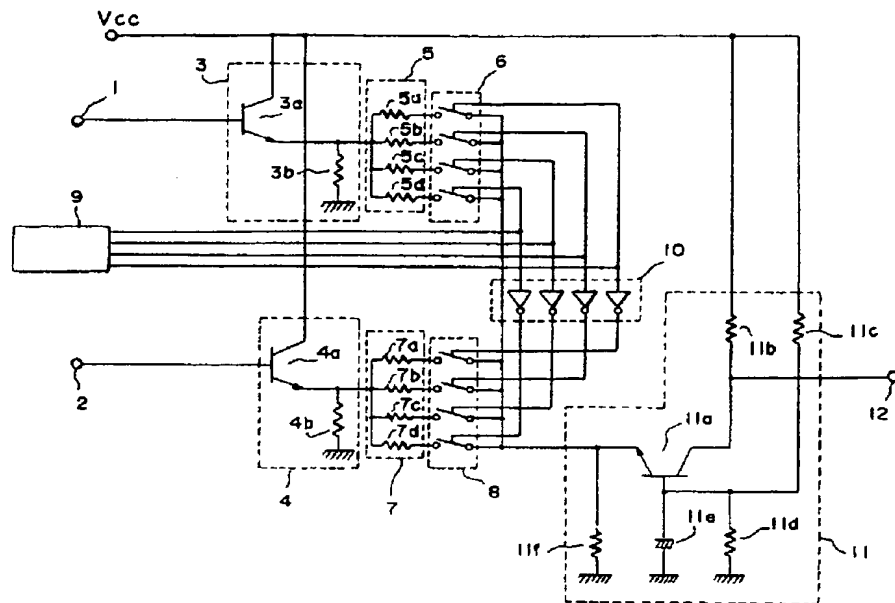
増幅回路、5…第1の抵抗群、6…第1のCMOSスイッチ群、7…第2の抵抗群、8…第2のCMOSスイッチ群、9…バイナリーデータ発生器、10…インバータ群、11…ベース接地増幅回路、12…出力ビデオ信号の出力端子、13…第1のFET、14…第2のFET、15…バランスコントローラ、16…制御電圧発生器。

特許出願人 バイオニア株式会社

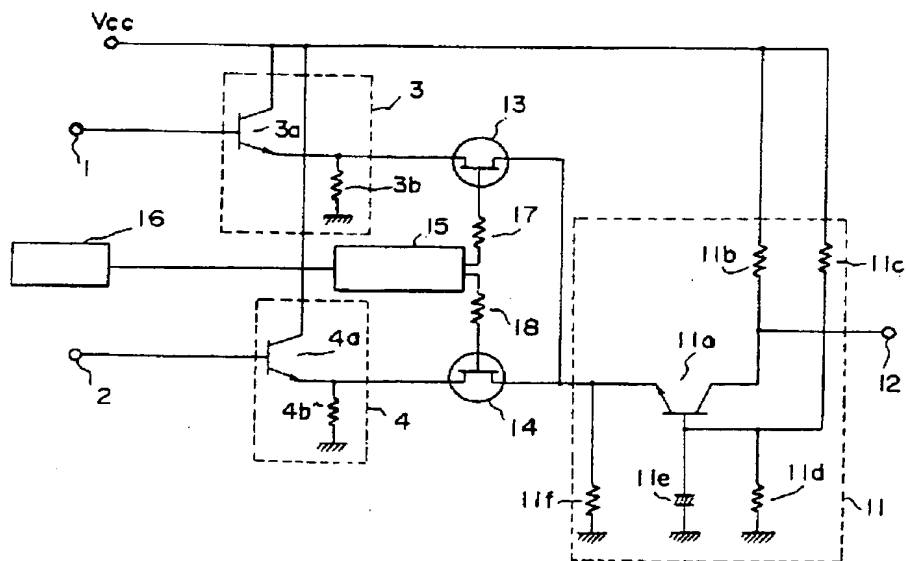
代理人 瀧 野 秀 雄

同 中 内 康 雄

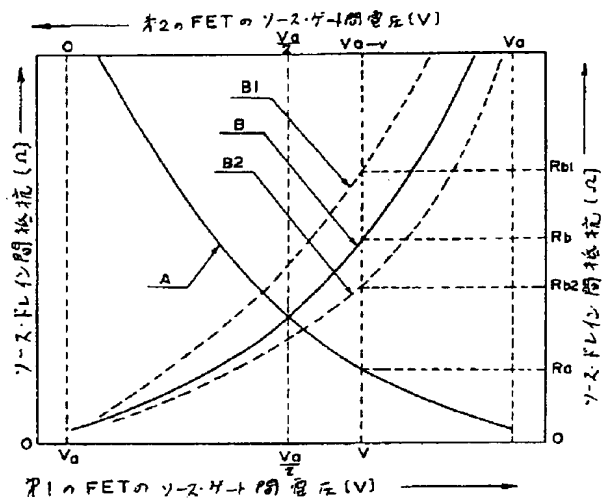




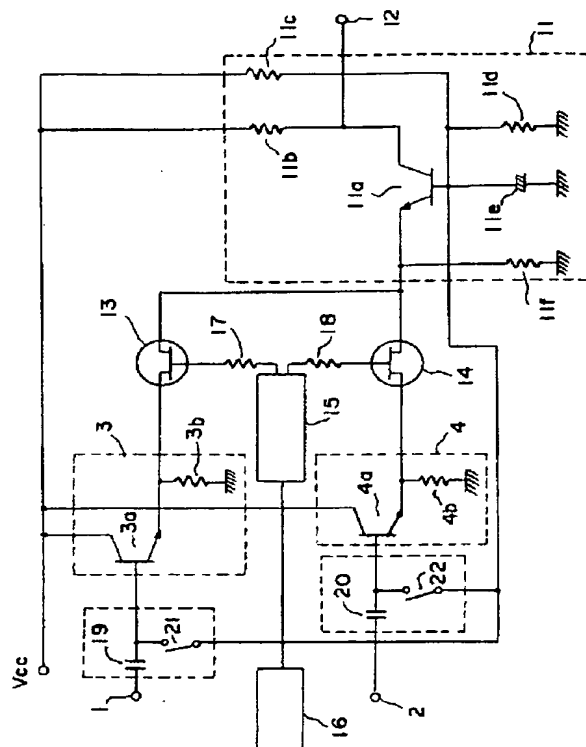
第 1 図



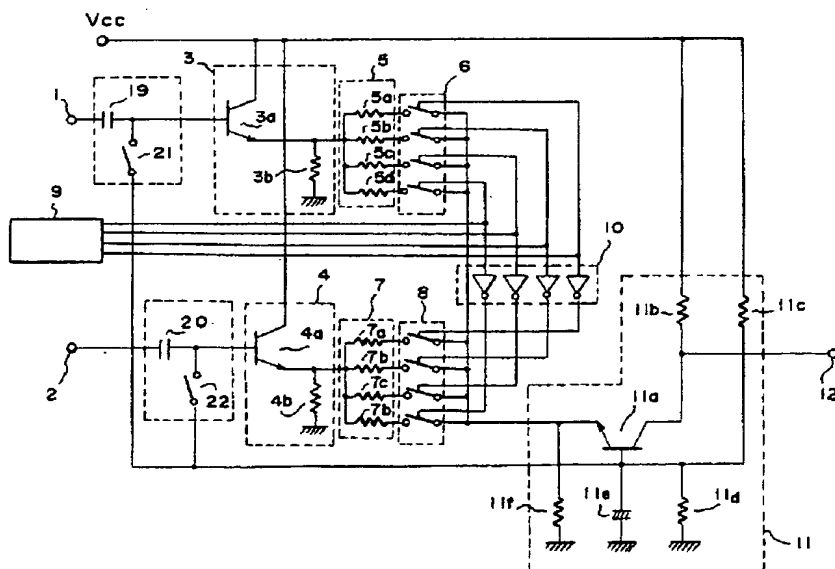
第 2 図



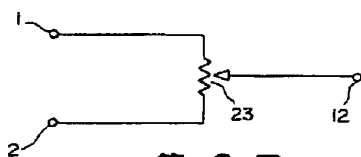
第 3 図



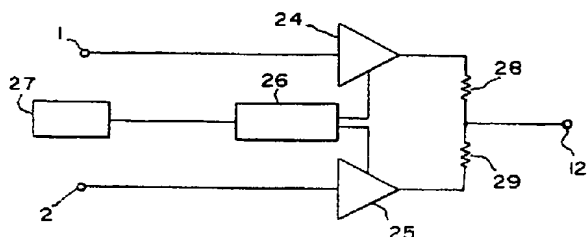
第 5 図



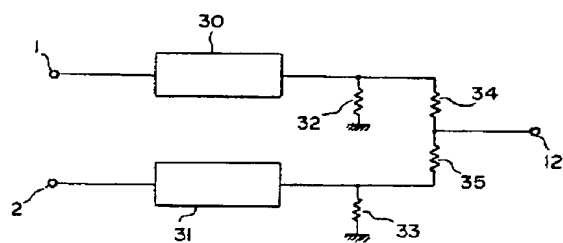
第 4 図



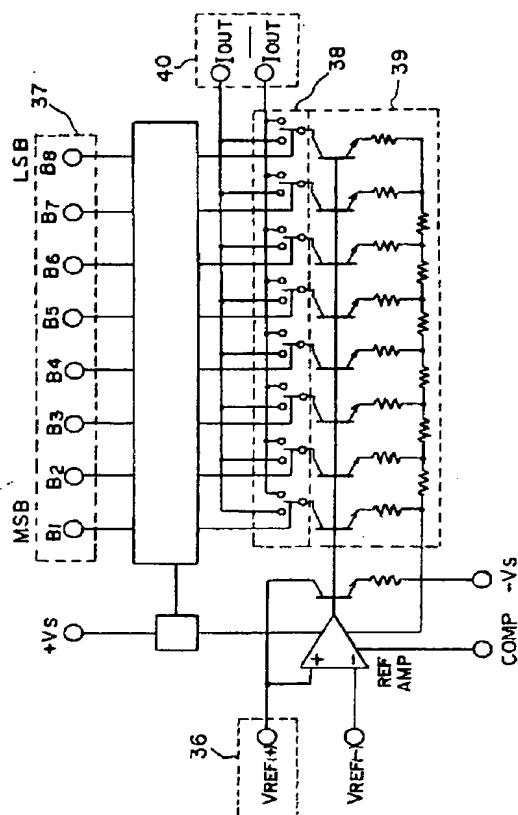
第 6 圖



第 7 回



第八圖



の
紙